



Auszüge und Kommentare zur

„Realisierungskonzeption zur beschleunigten Bereitstellung einer EDVA der Reihe 4 „

Vorbemerkungen

Es ist relativ leicht, aus dem Abstand von 20 Jahren zum Datum der Erarbeitung der nachfolgenden Konzeption Bewertungen dazu zu machen. Eine Generation später ist es erstaunlich, wie nahe unsere Analysen, Prognosen und Schlußfolgerungen damals der technischen Realität der nachfolgenden Jahre lagen, wie gut unsere Strategen und Analytiker die technischen Fakten beschrieben.

Es sei mir hier gestattet zu bemerken, dass die Abweichungen im technischen Bereich so geringfügig in Relation zu den politischen Sinnlosigkeiten unserer schöpferischen jungen Jahre sind, dass es noch heute oft schwierig ist, das zu verstehen.

Dieses Dokument soll einem nicht (oder nicht direkt) Beteiligten die historische Sicht auf diese Zeit mit den Augen eines „IT- Historikers“ erleichtern.

Daher sollen nur wenige Kommentare die hoffentlich lesbaren Text- Auszuege ergänzen.

Im Übrigen zeigt die o. a. Grafik offenbar sehr symbolisch den Lauf der Dinge.

Im Februar 2007

VEB Kombinat Robotron

VS-gelocht am: 02.09.87

Vertrauliche Verschlusssache
KR 1/14 3/87

Aufertigung 34 Bl. 1

Realisierungskonzeption zur beschleunigten
Bereitstellung einer ESER-EDVA der Reihe 4

Anlaß der Einreichung:

Auftrag des Staatssekretärs vom 24. 9. 1987

vorgelegt:

Dr. Walter
Direktor für Wissenschaft
und Technik

befürwortet:

Wokurka
Generaldirektor

bestätigt:

Meier
Minister für Elektro-
technik/Elektronik

Inhaltsverzeichnis

0. Festlegungsvorschläge
1. Volkswirtschaftliche Einordnung
2. Ökonomische Grundsatzbetrachtung
 - 2.1. Abgrenzungen und Unterstellungen
 - 2.2. Produktionszielstellung
 - 2.3. Absatzzielstellung
 - 2.4. Preiszielstellung
 - 2.5. Importmittelbedarf
 - 2.6. Aufwendungen für Entwicklung und Produktion von EC1150
 - 2.7. Kriterien und Kennziffern zur Beurteilung des Nutzeffekts der Entwicklung der ZE EC1150
3. Kurzdarstellung des Inhalts
 - 3.1. Untersuchungen zum Realisierungsweg
 - 3.2. Darstellung des Realisierungsweges
4. Zeitlicher Ablauf der Entwicklung
5. Stimulierungskonzept
6. Spezifischer Aufwand
7. Anforderungen an die Volkswirtschaft
 - 7.1. Absicherung der Bauelementegrundlage
 - 7.2. Entwicklung, Überleitung und Produktionsvorbereitung zur Realisierung der Kompaktbaugruppen (MCM)
 - 7.3. Entwicklung, Überleitung und Fertigung der Multichip-modul-Trägerleiterplatte (MTL)
 - 7.4. Prüfausrüstungen MTL und MCM, Beschaffungsschwerpunkt Funktionstester
8. Sicherheitskonzeption

1. Volkswirtschaftliche Einordnung

Die moderne Rechentechnik als wesentliche Schlüsseltechnologie ist in Übereinstimmung mit der Direktive des XI. Parteitagess der SED für Forschung und Entwicklung sowie Produktionsvorbereitung und -steuerung in den Kombinat, für die Qualifizierung der Leitung, Planung und Bilanzierung auf allen Ebenen, für die weitere Rationalisierung der Arbeit im Bereich Handel und Versorgung, Geldwesen, im Verkehrswesen und in vielen weiteren Bereichen mit ständig steigender Effektivität einzusetzen, um höchste Ergebnisse der Entwicklung der Leistungskraft der Volkswirtschaft zu sichern.

Die konzentrierte Weiterentwicklung der Erzeugnislínie mittlere EDVA des ESER auf hohem wissenschaftlich-technischem und ökonomischen Niveau besitzt daher für die DDR strategische Bedeutung und ist als wichtiger Bestandteil in die Entwicklung der Rechentechnik des VEB Kombinat Robotron einzuordnen und zu sichern.

Ausgehend von dieser zentralen Bedeutung konnten in umfangreicher Arbeit der beteiligten Kollektive des VEB Kombinat Robotron in Abstimmung mit Kollektiven des Kombinat VEB Carl Zeiss Jena hohe Leistungsziele für die Entwicklung der nächsten Generation ESER-EDVA sowie ESER-PC fixiert werden. Gleichzeitig wurde an der Untersetzung der Zielstellung zur wesentlichen Tempobeschleunigung dieser Entwicklungen gearbeitet, die in einer gemeinsamen Beratung von Vertretern der Fachabteilung Maschinenbau des ZK der SED, des MEE und des VEB Kombinat Robotron unter Leitung des Genossen K. Nendel, Staatssekretär im MEE, am 24. 9. 87 fixiert wurde.

Zu dieser gemeinsamen Beratung unter Leitung des Staatssekretärs Karl Nendel ist anzumerken, dass diese nach intensiver Intervention des Teams des FG Geräte Karl-Marx-Stadt an zentralen Stellen in Berlin zustande kam. Gegenstand war die sich abzeichnende „Systemstrategie“ der DDR, nur noch über 32-Bit zu reden. Wir hatten damals die Hoffnung, dass mehr Wissen und besseres Verständnis um die Rolle der ESER- Technik etwas bewegen könnte....

Manche Kollegen meinten zynisch, „die“ wissen wohl nicht, dass unsere Rechner schon lange 64-Bit- Rechner sind?

Die Ziele für ESER 4 auf **Ebene des RCK ESER** waren klar durch **unsere eigene Arbeit** mitgestaltet, entsprechend bestem Wissen und mit dem Ziel einer sinnvollen Strategie :

Gegenwärtiger Hauptinhalt der DDR-Beteiligung am ESER-Programm ist

- die Realisierung einer leistungsfähigen ESER-Zentraleinheitenlinie in den Etappen

8 - 10 MIPS 1992 Einführung
20 - 25 MIPS 1995 Einführung,

- die in vertraglicher Zusammenarbeit mit der UdSSR zeitsynchron zu entwickelnde Betriebssystemunterstützung,

- die Weiterführung der Linie EC1834 durch Realisierung eines leistungsfähigen 16-Bit-ESER-PC auf Basis des Schaltkreissortiments MP600 mit

EC1835

1989 Einführung mit Vorserie

Folgende Zielstellungen sind zu realisieren, die Inhalt des Leistungsangebotes der beteiligten Kollektive sind:

- Steigerung der Nominalleistung der Zentraleinheit gegenüber dem Vorgänger EC2157 um den Faktor 5 bei stark reduzierten volkswirtschaftlichen Aufwand, weitere Effektivitätserhöhung durch neues funktionelles Niveau und Vergrößerung der Hauptspeicher-Kapazität auf mindestens 64M Byte
- Schaffung neuer entwicklungstechnologischer Lösungen, die dem Einsatz von hochintegrierten anwenderspezifischen Schaltkreisen Rechnung tragen
- Schaffung neuer fertigungstechnologischer Lösungen zur Sicherung der volkswirtschaftlichen Effekte
- Wesentliche Effektivitätssteigerung der für den Entwicklungsprozeß der Zentraleinheit und des Betriebssystems bilanzierbaren Kapazität über Stimulierungsmaßnahmen zur Absicherung des zu erarbeitenden Lösungsumfanges und der erforderlichen Tempobeschleunigung, die die Verkürzung des Entwicklungszeitraumes um 1 Jahr ermöglicht

Unsere Ziele waren „im politischen Trend“ formuliert, aber korrekt und real. Es war nicht Art des Hauses E2, etwas zu versprechen, weil es politisch gewünscht war, aber ohnehin später durch schon absehbare Realitäten korrigiert werden müßte..

2. Ökonomische Grundsatzbetrachtung

Für die Fortführung der Erzeugnislínie ESER-Rechentechnik gelten folgende Hauptaussagen:

- Im Fünfjahrplan 1986 - 1990 ist mit ESER-Rechentechnik im SW ein Exportvolumen von ca. 1 Milliarde Rbl. mit überdurchschnittlicher Devisenrentabilität zu realisieren. Die international stark wachsende Anwendung hochwertiger CAD/CAM-Technik und Personalcomputer erfordert die Kopplung mit übergeordneten Zentralrechnern. Auch im RGW-Bereich entsteht damit in den 90iger Jahren ein wachsender Bedarf an Zentraleinheiten mit höherem Leistungsvermögen und neuer Peripherie.
- Mit der Entwicklung der EC1150 wird eine Technologie für die Herstellung elektronischer Bauelemente eingeführt, die Spitzen-niveau darstellt. Sie ermöglicht bei bedeutender Gebrauchswert-erhöhung gleichzeitig wesentliche absolute Aufwandssenkungen:

	EC2157	EC1150
Leistung in MIPS	1,7	8 - 10
Anzahl Prozessoren	1 - 2	1 - 4
Hauptspeicher in Megabytes	16	bis 256
Anzahl der Kanäle	5	32
Schaltkreisbasis	STTL/MSI (Import)	CMOS-GA/MCM (DDR-Aufkommen)

2.7. Kriterien und Kennziffern zur Beurteilung der ökonomischen Effekte der Entwicklung der ZE EG1150

	Zielvariante		Mindestvariante	
	Ø f.1Jahr	f.3,5 J.	Ø f.1Jahr	f.3,5 J.
Produktionskapazität in vollem Prod.jahr (Stek.)	250		150	
IWP (Mio M)	490	1730	295	1030
Exportserlös (Mio Rbl.)	255	891	140	492
(Mio VM)	1189	4161	654	2298
DE	3,378		3,378	
Gesamtgewinn (Mio M)	792	2780	440	1550
Wiedererwirtschaftungs-dauer	0,25		0,41	

Gemessen am eingesetzten Fonds WuT werden für 1,-- M Fonds WuT erwirtschaftet:

- 6,18 M IWP
- 14,86 M Valutagegenwert
- 9,93 M Gesamtgewinn
- 3,18 Rbl. Bruttoexporterlös
- 2,21 Rbl. Nettoexporterlös

Die prognostizierten ökonomischen Ziele und durchgeführten Berechnungen führen zu dem Schluß, daß die im Kombinat Robotron vorgesehenen Anteile am DDR-Programm ESER 4 eine stabile Verwertungsbasis für die erforderlichen Fonds darstellen.

Die „stabile Verwertungsbasis“ war auf 3,5 Jahre Refinanzierungszeit gerechnet. Man sieht, dass selbst bei den sehr hohen Aufwendungen für einen deutlichen Technologiesprung ein fantastisches „Investment“ angeboten wurde! Für 1 Mark DDR Aufwand in Entwicklung und Technologie ein Nettoexporterlös von ca. 2, 50 € (!)

3. Kurzdarstellung des Inhaltes

3.1. Untersuchungen zum Realisierungsweg

Wegen der notwendigen Tempobeschleunigung um ein Jahr wurden zusätzlich zu den bisherigen Überlegungen die Möglichkeiten einer Adaption geprüft. Dabei wurden folgende Erkenntnisse gewonnen:

- Ein direkter Nachbau in Form der Übernahme der Konstruktion, Technologie, des logischen Entwurfs und der Bauelementebasis scheidet aus. Der Grund dafür sind aus Prototypenresultierende technologische Forderungen, die im Entwicklungszeitraum in der DDR nicht realisierbar und für die perspektivisch keine Arbeiten eingeordnet sind (MCM mit 32 Verdrahtungsebenen in Keramik-Dickschichttechnologie, Mehrlagenleiterplatten mit ca. 20 Ebenen, Nullkraftsteckverbinder mit 1200 Kontakten).

Mit diesem Abschnitt stellen wir lakonisch kurz dar, dass ESER- EDVA schon immer anders entwickelt wurden und auch nur ein Eigenentwurf und eine eigene Basiskonstruktion sinnvoll sind.

Im nachfolgenden Abschnitt wurde der 1987 erarbeitete **Systemtechnische Grobentwurf** beschrieben.

Was wir nicht wußten war, dass die UdSSR fast zeitgleich ebenfalls an einem sog. Masterslice- Technologie-Konzept auf ECL- Basis arbeitete (EC 1181), aber dass

- deren Produktionsbasis nicht abgesichert war, weil die Mikroelektronik- Industrie für kleine Stückzahlen keine Aufträge akzeptierte
- diese ECL- technologie auf einem schlechten Lithographieniveau LN (ca. 2 µm) aufsetzte, sehr hohe Verlustleistungen hatte und vor allem – keine klare Konzeption zum nächsten LN .

(Die EC 1181 wurde in der UdSSR nicht in Serie produziert).

Was wir auch nicht wußten war, dass ein führender BRD –Konzern, der große Mainframes produzierte, zu diesem Zeitpunkt keinerlei Übergang auf LSI- Logik für machbar hielt und dann ca. 1994 seine eigenen Produktentwicklungen abbrach.

Also nur eine vorbildfreie Eigenentwicklung !

In Auswertung dieser Ergebnisse ist festzustellen, daß die fixierte Zielstellung nur über eine vorbildfreie Eigenentwicklung realisierbar ist.

3.2. Darstellung des Realisierungsweges

3.2.1. Hardwarelösung

Entsprechend den Erfordernissen wurde folgendes Konzept ausgewählt:

- Modulares, beim Anwender aufrüstbares 4-Prozessor-System mit einer Leistung von 8 - 10 Millionen Operationen pro Sekunde,
- Hauptspeicher mit mindestens 64 MByte und einem leistungsfähigen doppelt ausgelegten Verbindungsbus, der einen effektiven Datendurchsatz von mehr als 100 MByte pro Sekunde gewährleistet sowie die Weiterarbeit des Systems mit reduzierter Leistung bei Ausfall von Teilen,
- Eingabe/Ausgabe-System mit zwei unabhängigen E/A-Steuer-Prozessoren sowie bis zu 32 Kanal-Pfaden, die unabhängig und parallel über Entfernungen bis zu 120 m mit Datenraten von maximal je 3 MByte/s, bei 4 Kanälen von max. 6 MByte/s, arbeiten,

- Realisierung der erweiterten Architektur des ESER (analog IBM-XA-Architektur) einschließlich moderner Betriebssysteme mit hohem Niveau des Datenschutzes, effektiver Steuerung der Mehrprozessor- und Mehrrechnersysteme, Unterstützung der Netzfernverarbeitung und großer Datenbanken und Peripheriesysteme usw.,
- kompakte Bauweise mit nur einer großformatigen Leiterplatte pro Funktionsmodul auf Basis weitestgehender Nutzung der verlustleistungsarmen CMOS-Technologie für Speicher- und Gate-Array-Logik-Schaltkreise sowie der Kompaktbaugruppenteknologie mit einem Verdrahtungsträger in Dünnschichttechnik, auf dem die Gate-Array-Chips im unverkappten Zustand verbunden werden, dadurch niedriger Energieverbrauch der Zentraleinheit und Beibehaltung der fertigungs- und installationsfreundlichen sowie billigen Luftkühlung.

Basis dieses Konzepts sind CMOS-Bauelementelinien, deren Entwicklungen in der DDR durch bereits in Bearbeitung befindliche Staatsplanthemen eingeordnet sind.

- Für die Logik sind Schaltkreise des Gate-Array-Systems U5300 vorgesehen, das perspektivisch mit dem System U5500 weiterentwickelt wird. Damit steht eine Bauelementebasis zur Verfügung, die neben einem hohen Integrationsgrad ein günstiges Geschwindigkeits-Leistungsprodukt aufweist.
- Als Speicherschaltkreise kommen der 256Kbit-DRAM U61256 bzw. der 1Mbit-DRAM U61001 und schnelle SRAM zum Einsatz.

Erforderlich ist die Entwicklung von 2 Typen von Ergänzungsschaltkreisen, die bestimmend für die erreichbare Operationsgeschwindigkeit größerer Geräte der EDVA sind. Dies betrifft:

- BUS-Treiber/Empfänger-Schaltkreise für die Verbindung von Gate-Array-Funktionskomplexen
- Ansteuerschaltkreise (Treiber) für mit schnellen CMOS-SRAM realisierte Speicherkomplexe.

3.2.2. Betriebssysteme

Für EC1150 werden die Betriebssysteme des ESER, Reihe 4,

- MVS/ES-3 (funktionelles Niveau MVS/XA) und
- SVM-5 (funktionelles Niveau VM/XA SP)

bereitgestellt. Sie entsprechen dem internationalen Höchststand für Betriebssysteme zur Unterstützung leistungsfähiger Rechnerkomplexe. Die Betriebssysteme MVS/ES-3 und SVM-5 sind nur auf ESER-Modellen der Reihe 4 mit XA-Architektur lauffähig. Im Basismode kann EC1150 als 2-Prozessor-Komplex oder 2 x 2-Prozessor-Komplex auch mit den zu dieser Zeit aktuellen Betriebssystemen des ESER, Reihe 3, MVS/ES-2.1 und SVM-4 betrieben werden.

Beim Übergang von einem Doppelprozessorsystem EC1057 mit MVS/ES-2.1 oder SVM-4 auf einen 2 x 2-Prozessor-Komplex EC1150 mit MVS/ES-2.1 bzw. SVM-4 kann das Aufgabenprofil eines Anwenders ohne Umstellungsaufwand für Anwenderprojekte mit dem 5fachen Durchsatz abgearbeitet werden.

Der Übergang von einer Anlage des ESER, Reihe 3, beispielsweise EC1057, zum Betrieb von EC1150 mit MVS/ES-3 wird zweckmäßig vom Nutzungsniveau mit MVS/ES-2.1 aus vollzogen. Der Umstellungsaufwand für die Anwenderprojekte entspricht dem bei einem Übergang auf eine neue, funktionell erweiterte Ausgabe eines Betriebssystems. Er wird geringer eingeschätzt als der beim Übergang von MVT auf SVS.

Beim Übergang von Anlagen des ESER, die nicht mit MVS/ES-2.1 betrieben werden, auf EC1150 mit MVS/ES-3 ergeben sich in Abhängigkeit vom vorher verwendeten Betriebssystem größere Umstellungsaufwände für die Anwenderprojekte. Der Übergang wird in diesem Falle durch Nutzung von SVM-5 erleichtert, da die alten Produktionssysteme neben dem neuen MVS/ES-3 genutzt und die Umstellung der Anwenderprojekte kontinuierlich vorgenommen werden kann.

3.2.3. Peripherie

Zur Komplettierung der Systeme des Modells EC1150 sind moderne Peripheriegeräte zum Einsatz zu bringen, die auf die Leistungsfähigkeit der Zentraleinheit ausgerichtet sind und den Anwenderanforderungen gerecht werden. Das Modell EC1150 gewährleistet durch sein E/A-System den Anschluß der im ESER vorhandenen und sich in Entwicklung befindlichen E/A-Geräte. Folgende Hauptkomponenten sind zu sichern:

Hier sollen die Auszüge enden. Für IT- Historiker wäre noch viel mehr Interessantes zu erzählen bzw. zu kopieren.