

Überblick „Systementwurf, Technologie und Konstruktion“ bei den ESER-EDVA- Entwicklungen bis 1990

Autor: Dr. G. Jungnickel

Inhaltsübersicht

Überblick „Systementwurf, Technologie und Konstruktion“ bei den ESER- EDVA-Entwicklungen bis 1990

TECHNIK der EDVA-

Bemerkung zur Entwicklungsmethodik

Prinzipielle Anforderungen an eine Nachfolgegeneration

Arbeitsplatz- Technik

Fakten zum Konzept einer neuen Generation EDVA EC 1150

64- Bit ESER versus 32 Bit Technik

ESER- PC

SCHLUSSBEMERKUNGEN

Die Verantwortung für Mitgestaltung der „Technischen Politik“ und „Systemkonzeptionen der mittel- und längerfristigen Entwicklung des ESER“ (Konzeption der Architektur-Etappen) prägte die Inhalte der ESER- Strategie.

Über alle o.g. Phasen waren nachfolgende **Grundsätze der Entwicklungskultur und Produktpolitik „das Geheimnis“** und der **Erfolgsgarant** der Arbeit der großen „ESER- Familie von Robotron“:

- Strikte Einhaltung der **abgestimmtem Operationsprinzipien** des ESER und deren schritthaltende Weiterentwicklung über die vereinbarten Architektur- Etappen; Gewährleistung der vollen Programm- Kompatibilität der EDVA im ESER untereinander und bzgl. des Prototyps
- durchgängige Beherrschung **aller Prozess- Schritte der Entwicklung** vom Systemkonzept bis zur logischen Prüfunterlagen-Generierung durch **eigene Fachleute** und mit **eigenen Entwurfs- und Entwicklungssystemen**.
- Strikte Einhaltung der „Allgemeinen technischen Bedingungen des ESER“ , speziell
 - **Einsatz einer 100%-RGW-Bauelemente-Basis**(metrisches Raster) im Fertigungsprozess,
 - logische und Steckerkompatibilität des E/A-Interface
 - Einhaltung der Grundforderungen der **ESER-Basiskonstruktion** (auf nationale Montage-und Wartungsfähigkeit im Importland orientiert),
 - Einhaltung der „Allgemeinen Technischen Forderungen“, speziell der Lager-und Transportklassen des ESER (sehr nahe an analogen Militärstandards der UdSSR- positioniert),
- maximaler Einsatz modernster DDR-Technologie, bei Verträglichkeit mit den „Allgemeinen Technischen Bedingungen/ Forderungen “,

Struktur des Systems und der Schnittstellen der Moduln, sowie eine Original-Testmaschine. Es galt der Grundsatz „im Falle einer Abweichung ist der Grund der Funktionsabweichung zu beseitigen“.

Die Erarbeitung der Beschreibung der Struktur des Betriebs- Systems und der Schnittstellen erfolgte in der Praxis auf Basis zweiseitiger Vertragsarbeit mit den Spezialisten der UdSSR

Prinzipielle Anforderungen an eine Nachfolgeneration

Die **nächste Generation einer EDVA – Prozessorfamilie** muss, um wirtschaftlich sinnvoll zu sein (wie andere Technik ebenfalls) , eine Verdopplung des Anwendungsnutzens zur Vorgängerreihe sichern , was etwa vierfach höhere technische Leistungsparameter erfordert. .Das technologische Umfeld der RGW- Wirtschaft ermöglichte jedoch keine wesentliche technologische Innovation der Grundaufbaues der Anlagen.

Die Beherrschung **kurzer Signallaufzeiten** in den Prozessor- Strukturen generell, speziell aber einer EDVA, ist bei der erforderlichen geringen Taktzeit immanent wichtig, da die Signal-Laufzeiten auf den Verbindungsleitungen die Schaltzeit eines Gatters im Chip sehr schnell übersteigen können .Leitungswege müssen also extrem kurz bleiben. Daher ist es nur durch VLSI- Konzepte möglich, eine absolut kompakte Konstruktion auch ohne sehr aufwendige Multichip-Zwischenträger zu realisieren, um akzeptable Prozessorleistungen zu erzielen.. Abhängig vom Integrationsgrad können daher sehr aufwendige Multichip-Zwischenträger erforderlich werden. .In dieser problematischen Situation befand sich Anfang der 90er Jahre auch die bekannte Firma Siemens, die den Schritt von einer ECL- Technologie (BS 2000/H90, /H100) zu einer tragfähigen perspektivisch wirtschaftlichen Technologiekonzeption bei Mainframes nicht bewältigte.

Um das zu erreichen, **waren 1987-88 drei wesentliche Voraussetzungen notwendig:**

- Verfügbarkeit einer hochintegrierten Logik mit geringem Energiebedarf/ Verlustleistung pro Gatter, wie CMOS Gate Arrays ;
- Verfügbarkeit eines EDVA- optimierten (komplizierten keramischen) Bauelemente-Zwischenträgers
- höchste Intergrationsgrade bei Speicherchips incl. sehr schneller Pufferund Programmspeicher

Da diese Lage in allen RGW- Ländern analog war, gelang es der E 2- Mannschaft, die Robotron-EDVA immer im Spitzenfeld des RGW-Marktangebotes zu halten. Bezogen auf das (theoretische) Exportkonzept des Kombirates war die ab Ende 1987 verfügbare EC 1057 im Umfeld der UdSSR-Maschinen und unter RGW- Bedingungen ohnehin „state of the art“ und **wäre solange exportierbar gewesen**, wie kein Technologie- Sprung in der UdSSR erfolgt wäre, nach Lage der Fakten also noch **mehrere Jahre**. *Darauf gründete sich ein gewisses Überwinterungskonzept für das EDVA- Kernpotential.*

Zwecks **Überwindung der skizzierten technologischen Sackgassen-Situation** wurden 1986 nach mehreren technologischen Zwischenkonzepten (wie etwa TTL/ECL- Mischvarianten) die Arbeiten an ESER-Zentraleinheiten der Reihe 4 auf Basis einer CMOS-Gate Array- Technologie (CMOS GA U 5300) aufgenommen, die nach Lage der Dinge im Mikroelektronik-Programm der DDR bilanzierbar war.

Als gewisser Zwischenschritt wurden erste CMOS GA, welche mit dem Entwurfssystem für ESER 4 entworfen waren und im ZMD Dresden produziert wurden, 1989 in Funktionsmustern eines modernen 16 Bit ESER- PC (IBM PC AT) eingesetzt.

Die Bereitstellung einer Reihe moderner, leistungsfähiger Betriebssysteme

entwickelte sich im ESER-EDVA-Sektor als weitgehend unabhängige „Produktlinie“. Diese wurden gemeinsam mit der UdSSR- Leitorganisation NIZEWT entwickelt und verbesserten das ESER-Leistungsangebot von Robotron stark.

Arbeitsplatz- Technik

Zusätzlich zum ESER- Hauptprofil EDVA wurde das FG E 2 im Rahmen des „Erzeugnisprogramms der dezentralen Datentechnik“ (DEKK) beginnend ab 1978 auch stärker in Themenkreise der „kleinen Technik“ eingebunden. Hauptziel des DEKK war ein einheitliches System der Datenerfassung und Datenverarbeitung durch systemtechnische Integration der Produktlinien der Betriebe des (ehemaligen) Kombines Zentronik. Bei E 2 erfolgte dafür z.B. die zentrale Monitor-Entwicklung für alle Robotron-Betriebe oder später die Entwicklung von graphischer Peripherie. Diese Arbeiten wurden planmäßig „bilanziert“ und hatten in dieser Etappe wenige Auswirkungen auf die Erfüllung des ESER-Hauptentwicklungs-Programms des FG.

Etwa zeitgleich mit Beginn der Arbeiten im **ESER** an IBM-kompatiblen Personalcomputern (ca. 1985) verstärkte auch E 2 diese Produktlinie, ohne diese alternativ zu EDVA zu betrachten bzw. zu bilanzieren.

Fakten zum Konzept einer neuen Generation EDVA EC 1150

Unter den führenden Köpfen des FG Geräte (E2) wurde nach Abschluss der Entwicklungsüberleitung der EC 1055M – einer Modernisierung 1. Grades der EC1055 (Reihe 2) zielstrebig daran gearbeitet, mit dem nächsten Modell eine „echte“ ESER 3-Maschine mit einem gravierenden Leistungs-Sprung zu konzipieren. Daran arbeiteten in gleicher Weise auch die Entwickler des NIZEWT, denn diese Zielstellung war volkswirtschaftlich dringend.

Ein derartiger Leistungssprung war nur mittelfristig durch extrem schnelle ECL-MSI-Schaltkreistechnik denkbar. Das war allerdings nur mit enormem Aufwand für konstruktiv- technologischen Lösungen im Bereich der Kühlung der Steckeinheiten und Paneele erreichbar. Dieser Ansatz musste gekoppelt werden mit der Verringerung der „Kupferlaufzeit“, was einen keramischen Zwischenträger mit grundsätzlich neuer Kühlung bedingt hätte. Erschwerend wirkte dabei, dass die Verarbeitungsstruktur für ESER-Operationsprinzipien (64 Bit) einen großen Hardwareaufwand erfordert. Dieses ECL-MSI Konzept war in der Realität des RGW-Wirtschaft nicht nur sehr anspruchsvoll und komplex, sondern wirtschaftlich nicht vertretbar, weil eine nur für EDVA geeignete Technologie in der DDR und auch mit den ESER- Absatzstueckzahlen der DDR keine Refinanzierung sicherte. Auch hatte dieser Lösungsansatz im Lichte **der großen Chancen, die weltweit bei CMOS erkannt waren** und bearbeitet wurden, keine längerfristige Zukunft. Sowohl eine ECL-Nachfolge-Variante, wie auch eine ECL/TTL-Variante, wurden daher für ESER 3 nicht weiter verfolgt.

Mit Forcierung der Arbeiten in der DDR an VLSI- CMOS – Technologien wurde daher bei E2 auf dieses hochintegrierbare, leistungsarme und gut auf kleine Strukturbreiten skalierbare Bauelementekonzept (CMOS- gate arrays) als Basis für eine echte Nachfolge der ESER-EDVA gesetzt und dafür umfangreiche Vorarbeiten betrieben. Gate- Arrayes boten die Möglichkeit, auf einer letzten Ebene des Chips- Prozesses typspezifische Verdrahtungen aufzubringen und damit wirtschaftliche Stückzahlen des Basiskristalles zu erreichen. Allerdings war der Zeitplan der CMOS-Linie für die Produktionsdauer der EC 1055M kritisch.

Da in der UdSSR analoge Konzeptionsprobleme um einen echten technologischen Nachfolger bestanden ,

(zu diesem Zeitpunkt hatten sich die bilateralen Arbeitsbeziehungen des DDR-Teiles des RCK ESER mit dem Generalkonstrukteur des ESER und Generaldirektor des NIZEWT und seinen Mitarbeitern sehr kollegial und vertrauensvoll entwickelt. Der Autor kann daher die o.g. Feststellungen mit detaillierter Sachkenntnis treffen. Die Entwicklung der IBM-kompatiblen Computerindustrie in Russland nach 1990 bestätigt das zusätzlich)

wurde aus planungspolitischen und Marketinggründen im ESER die Entwicklung einer Reihe von Zwischenmodellen – eine „Modernisierung zweiten Grades“- beschlossen. Als Nachfolgemodell zur EC 1055M entwickelte die DDR die EC 1056, die UdSSR die EC 1036, EC 1046 u.a.

64- Bit ESER versus 32 Bit Technik

Die durch Beschlüsse in der DDR ausgelöste Konzentration auf die sog. „32- Bit- Technik“(d.h. Programm analog VAX 780 der Firma DEC für CAD/CAM-Anwendungen) im Dresdner Raum beeinflusste die Arbeit der Karl-Marx-Städter am ESER in dieser Phase zunehmend. Die zunächst praktizierte Parallelität zwischen ESER und 32-Bit Technik führte vorrangig zu großen Kapazitätsengpässen in der DDR- Zulieferindustrie(Leiterplatten , Bauelemente , Entwurfskapazität der Mikroelektronik ..) sowie zur extremen Verknappung der ohnehin unzureichenden Robotron-eigenen Technologie- und Werkzeugbaukapazitäten, aber auch zu Einschränkungen der EDVA- orientierten Anwendungssoftware- Entwicklung im Bereich Dresden u.a.m.

Die Signale für alle Kooperations- Partner waren zentral auf „32-Bit“ gestellt , ESER hatte die politische Priorität „wenn noch etwas zusätzlich machbar ist“ .

Es fiel daher zunehmend schwerer, die hohen technischen Anforderungen an eine echte neue Produktgeneration der ESER- EDVA (Basis : CMOS-LSI gate array, neues Steckverbinder-/Leiterplattensystem, Multichip-Modul-Keramikträger u.a.) in den Plänen zu bilanzieren, zumal andere profilbestimmende Industriezweige der DDR (Werkzeug- und Textilmaschinen-Bau, Anlagenbau u.a.) großen Druck auf die Bauelemente- Zulieferindustrie machten, allerdings systemtechnisch nicht kompatibel. Die technische stark divergierende Politik vieler weltweit führenden Firmen, deren Profile alle in der DDR-Industrie vertreten war, sollte in der kleinen DDR-Industrie „nachentwickelt“ werden!

Die neue EDVA-Generation des ESER (ESER IV) brauchte zumindest ein verschobenes Zeitfenster.

Zum Ansatz gehörte

- auch, einen gewissen [technologischen Fortschritt der CMOS-Technologie bis etwa 0,6 µm-Strukturen](#) zu nutzen, um die großen technologischen und wirtschaftlichen Aufwendungen für Multichip- Modul Keramikträger zu relativieren oder zu umgehen.
- dem [Leben die Schiedsrichterrolle](#) über deren Gewicht bei der realen Exporteffektivität der 32- Bit – Technik zu überlassen.Wir wussten, dass in der UdSSR (Voronezh) eine „eigene“ 32. Bit SK- Technik bearbeitet wurde, die nicht kompatibel zur DDR- Linie war. Es war daher sehr anzunehmen, dass dadurch UdSSR- Export problematisch sein würden. Die UdSSR- Industrie brauchte derartige Konkurrenz sicher nicht! Und mit jeder K184X würde die DDR einen erheblichen Valutaaufwand bilanzieren muessen....
- Die ESER- Entwurfstechnologie verfügte über alle Mittel und langjährige Erfahrung, einen eigenen Logikentwurf auf Basis von 2- 3 Grundtypen sog. Master slice Gate Arrays U5300 zu erstellen, dh. es würden keine Importe und Abhängigkeiten von der Beschaffbarkeit von Original- Bauelementen auftreten, wie sie bei anderen Entwurfstechnologien zwangsläufig waren. Das FG E2 hatte sich in Kooperation mit der Mikroelektronik (ZMD Dresden) darauf eingestellt, de facto eine konstruktive Ebene (das Leiterplatten- Layout der EDVA der 3.Generation) in der Generation ab EC 1150 als die 2 oberen Verdrathungs- Ebenen des Gate Arrays zu entwerfen und überzuleiten.

- letztlich das Wissen darum, dass eine Entwicklung einer 32-bit- Zentraleinheit nach der Methode einer Rückerkennung von Logikkomplexen und deren Einbau in ein (1:1) Technologie- und Konstruktionsraster eines Vorbildes bei dem enormen Schwierigkeitsgrad einer Entwicklung längerfristig keine Chance hatte. Allein der Entwurf von mehreren Dutzend speziellen LSI- /später VLSI-) SK für etwa 100-200 Maschinen/a, immer auch im Lithographieniveau der Vorbild- SK, würde zu einem in der DDR unlösbaren wirtschaftlichen Unsinn führen. Und viele andere spezielle Bauelemente , Kabel, Stecker usw. waren im RGW auch nicht vorhanden...

ESER- PC

Das Arbeitsprofil des FG Geräte wurde 1987/88 verstärkt auf solche System- und Produktentwicklungen, wie z.B. die IBM-kompatiblen ESER-Personal-computer EC 1834 (1988) , EC 1834.01(1989) und den IBM PC AT kompatiblen EC 1835 (1989) umgestellt. Die **Mitentwickler und Hauptüberleitungspartner** waren die Robotron-Betriebe „**VEB Buchungsmaschinenwerk Karl-Marx-Stadt**“ und der „**VEB Büromaschinenwerk Sömmerda**“ . Dabei trug E 2 im Verbund mit den FuE- Bereichen der o.g. Betriebe die Systemverantwortung und einen hohen Anteil der Entwicklung.

Im Ergebnis der immer stärkeren Konzentration des gesamten Dresdner Raumes (Entwicklung, Technologie, Produktionskapazität, Finanzcontrolling) auf die 32-Bit-Technik war daher die Vereinigung des Karl-Marx-Städter Betriebsteiles E 2 mit dem Betrieb VEB Buchungsmaschinenwerk Karl- Marx-Stadt eine zwangsweise Folge, um ein gewisses Gleichgewicht der Versorgung der großen Robotron- Produktionsbetriebe mit leistungsfähiger F/E-Kapazität zu ermöglichen und andererseits dem Team des FG2 eine seinem Ingenieur-Potential und Erfahrungen entsprechende Perspektive zu erhalten.

Die Produktlinie der ESER-PC gestaltete sich extrem schnell zu einem Kristallisationskern für die genannten Großbetriebe in Chemnitz und Sömmerda. In der gesamten DDR-Wirtschaft wurde darüber hinaus die Orientierung auf die INTEL-Prozessorfamilie I/286 und nachfolgend I/386 sehr stark unterstützt und zur Basis weitreichender Pläne. Man hoffte auf eine sogenannte Ablösung der enorm zugenommenen Importe durch DDR-eigene Produkte mit geringerem Valutabedarf.

Die Funktionsmuster des o.g. EC 1835 wurden im Herbst 1989 erfolgreich mit eigenen Prozessor-SK und einigen hochintegrierten CMOS-Gate Array- der Serie U 5301 erprobt)

SCHLUSSBEMERKUNGEN

Im mittelfristigen Plankonzept E2 war es auch im Frühjahr des Jahres 1989 nicht vorgesehen, die Entwicklung von ESER- EDVA mittlerer Leistung aufzugeben. Vielmehr bestand das Grundkonzept der Leitung des WTZ Chemnitz darin, der Stabilisierung der neuen CMOS- Basis U5301 der künftigen EC 1150 zunächst durch den Einsatz von 3 Typen U 5301 im IBM PC-AT-kompatiblen PC EC 1835 einen kräftigen Impuls zu verleihen und einen neuen Bilanzierungsfreiraum durch das hohe Gewicht der EDVA- Exporte und von ESER-PC und deren Anwendung in allen strategischen Positionen der DDR zu erlangen.

Dieses Konzept war jedoch spätestens ab März 1990 politisch nicht mehr aktuell.

Was als echter Nutzen des festen Glaubens an die Architekturlinie ESER blieb war die sehr schnelle Erkenntnis der IBM Deutschland, dass in Chemnitz (aber auch Berlin und anderswo) gut ausgebildete „IBM“- Spezialisten verfügbar waren.