



## Die Zentraleinheit EC 2157

Christine Hinze  
Dr. Dietmar Reinert  
VEB Robotron - Elektronik Dresden

Das Modell EC 1057 ist eine Entwicklung der DDR zum ESER, Reihe 3. Wie seine Vorgänger ordnet es sich in das abgestufte Programm des ESER ein und präsentiert sich als Modell mittlerer Leistungsklasse, das den Anforderungen an Kontinuität und Kompatibilität, wie sie für die ESER-Modelle bestimmend sind, gerecht wird. Kernstück des EC 1057 ist die Zentraleinheit (ZE) EC 2157. Aufbauend auf dem Funktionsumfang der ZE EC 2156 wurde sie insbesondere hinsichtlich

- Leistungsparameter,
- Funktionserweiterung und
- Bedien- und Wartungslösungen verbessert. Damit wird sie den gestiegenen Anforderungen der Anwender gerecht und ist in der Lage, neue Anwendungsgebiete zu erschließen bzw. bisherige Anforderungen effektiver zu erfüllen. Eine wesentliche Voraussetzung hierfür bietet die Realisierung eines Doppelprozessorsystems, das durch Einbau eines zweiten Prozessors erreicht wird. Die im folgenden dargestellten Eigenschaften und Fähigkeiten dieser Zentraleinheit bieten die Grundlage für die Realisierung von Anwendungsprojekten mit einem Rechner der ESER-Familie, Reihe 3. Einen Überblick über die wesentlichen Parameter der ZE gibt die Tabelle auf der 4. Umschlagseite dieses Heftes.

Zu den folgenden Ausführungen werden Grundkenntnisse über das ESER, Reihe 2 und die entsprechenden DDR-Beiträge EC 2655, EC 2655.M und EC 2156 vorausgesetzt. Es werden vornehmlich Erweiterungen und Verbesserungen zur ZE EC 2156 beschrieben.

### Verbesserte Leistungsparameter

#### Operationsgeschwindigkeit

Die Zentraleinheit EC 2157 erreicht pro Prozessor im Vergleich zur ZE EC 2156

ungefähr die **doppelte Operationsgeschwindigkeit**. Sie führt mit Operanden einfacher Länge 1 Million Operationen pro Sekunde (MIPS) aus. Voraussetzung hierfür ist eine verbesserte technologische Basis, die sowohl

- für die geschwindigkeitsbestimmenden Teile das Arbeiten mit einem doppelt so schnellen Maschinenzyklus als auch
- strukturelle Vorkehrungen für die Erhöhung der Operationsgeschwindigkeit erlaubte, die nachfolgend beschrieben sind.

#### Erhöhte Parallelisierung der auszuführenden Teilprozesse

Parallel zum mikroprogrammgesteuerten Rechenwerk arbeitet eine Befehlsvorbereitungseinheit, die gegenüber der ZE EC 2156 ausgebaut wurde. Die vorhandenen Pufferregister ermöglichen mit ihrer Pipeline-Struktur, daß sowohl für Operanden als auch für Befehle in Folge- und Verzweigungsrichtung ein vorbereitendes Lesen durchgeführt wird. Insbesondere für die späte Sprungauswahl bei der Befehlsvorbereitung kann so ein relativ kontinuierliches Bereitstellen der abzuarbeitenden Befehle gewährleistet werden.

Diese Pipeline-Struktur setzt sich prinzipiell über den Pufferspeicher bis zum Hauptspeicher hin fort.

Parallel zu den Hauptspeicherzugriffen ist ein schneller Zugriff zu einem in der Verarbeitungseinheit lokalisierten Speicherkomplex, der 384 Bytes umfaßt, möglich. Durch die Speicherung von Arbeitsinformationen in diesem lokalen Speicher werden die Abläufe ebenfalls zeiteffektiv gestaltet.

#### Realisieren einer Speicherhierarchie

Zwischen dem Hauptspeicher mit seiner Zykluszeit von 540 ns und dem Prozessor, der in jedem Maschinenzyklus eine Speicheranforderung stellen kann, ist ein schneller Datenpuffer eingeordnet, der für den Anwender nicht erreichbar ist (Programme können ihn nicht adressieren).

Wenn ein Anforderung auf Lesen eines Hauptspeicherplatzes gestellt wird, wird das entsprechende Doppelwort mit drei benachbarten Doppelworten als aktueller Datenblock vom Hauptspeicher in den Datenpuffer geladen. Überschrieben wird einer der Blöcke, zu denen am längsten nicht zugegriffen wurde. Die nächsten Anforderungen zu diesem Block können von jetzt an durch den Datenpuffer bedient werden. Er ist in der Lage, in jedem Zyklus eine Anforderung zu bearbeiten. Im Normalfall enthalten die Programme logische Adressen.

Das Prinzip der Dynamischen Adreßumsetzung ist in /1/ beschrieben. Die gewählte Prinziplösung für die Realisierung eines schnellen Speicherzugriffs bei der ZE EC 2157 ist in Abb. 1 dargestellt. Die Vergleicher hinter dem Adreßumsetzungspuffer liefern die Aussage, ob die zur logischen gehörende reale Adresse von ihm bereitgestellt werden kann. Die hochwertigen 7 Adreßbits der Bytenummer werden zur Adressierung des Datenpuffers genutzt. Der Datenpuffer besteht aus zwei Komplexen: einem Adreß- und einem Datenteil. Seine Organisation ist 8fach assoziativ. Die Adressen der gespeicherten Datenblöcke werden wahlweise (bzw. entsprechend der Aussage des Alterungsmechanismus) in eine von acht Säulen eingetragen. Jede Säule besitzt 128 Zeilen, so daß insgesamt 1 K Blockadressen untergebracht sind. Damit können 32 K Byte adressiert werden. Die hochwertigen 7 Adressbits der Bytenummer adressieren eine Zeile in jeder Säule. Die ausgelesenen Adreßbits werden mit den realen Adreßbits vom Adreßumsetzungspuffer verglichen. Das Vergleichsergebnis sagt aus, ob und in welcher Säule sich das angeforderte Doppelwort befindet. Während es ausgelesen wird, beginnt bereits die Bearbeitung der nächsten Anforderung durch Adressierung des Adreßumsetzungspuffers und des Adreßteils. Beim Einschreiben in den Hauptspeicher wird das entsprechende Doppelwort aktualisiert. Schreibzugriffe der Kanäle und des anderen Prozessors

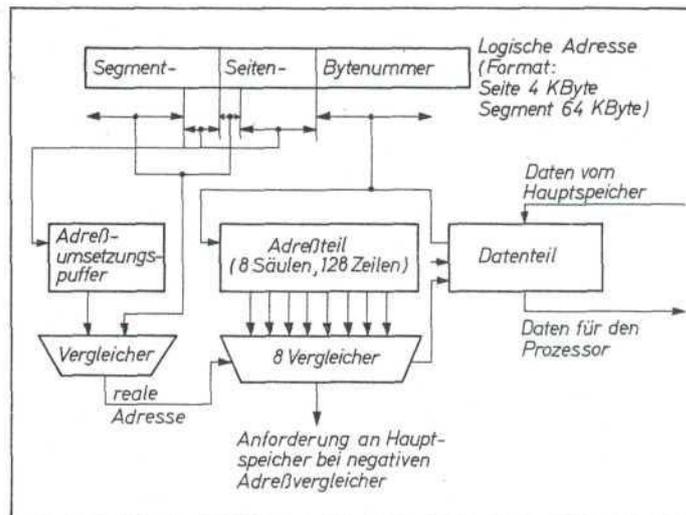


Abb. 1 Struktur des Datenpufferkomplexes

führen zum Vergleich der Adressen. Ist Ist Vergleichsergebnis positiv, wird der entsprechende Datenblock für ungültig erklärt-

Durch die 8fach-Assoziativität des Datenpuffers und die Nutzung des Nachbarschaftseffektes der angeforderten HS-Plätze ist zu erwarten, daß mehr als 90 Prozent der Leseanforderungen vom Datenpuffer bedient werden können. Die volle Nutzung des Datenpuffers erfolgt bei der Arbeit mit 4-kByte-Seiten, was der Nutzung der Betriebssysteme OC-7EC und MVS/ES entspricht. Wird mit einer Seitengröße von 2 kByte gearbeitet, können nur die hochwertigen 6 Adreßbits der Bytenummer genutzt werden. Der Pufferspeicher arbeitet dann auch 8fach-assoziativ, aber bei halber Kapazität (64 Zeilen pro Säule).

#### Realisierung einer Hauptspeichergroße von 16 MByte

Mit der Vergrößerung des Hauptspeichers um das Vierfache im Vergleich zur ZE EC 2156 wird eine wesentliche Ressourcenerweiterung insbesondere für große Konfigurationen geschaffen. Möglich werden damit

- eine effektivere Nutzung der Betriebssysteme, da ihr residenter Teil im Hauptspeicher vergrößert werden kann,
- eine Erhöhung des Grades der parallelen Arbeit und damit eine bessere Nutzung des Systems durch den Anwender,
- eine Erleichterung bei der Verwaltung des realen Hauptspeichers und
- eine Reduzierung der Seitenwechselrate.

#### Realisieren eines Doppelprozessorsystems

Die ZE EC 2157 bietet die Möglichkeit einer Prozessorkopplung. Sie wird nach dem Prinzip des Anschlußprozessors realisiert: Zwei Prozessoren und ein E/A-System arbeiten unter Steuerung eines Betriebssystems auf einem gemeinsamen Hauptspeicher. Die Doppelprozessorkonfiguration wird mittels Einbringen eines zweiten Prozessors in die Basisprozessorkonfiguration erreicht, wobei diese Erweiterung auch nachträglich beim Anwender möglich ist. Die beiden Prozessoren sind logisch-funktionell und in ihrer Leistung identisch. Neben der Erhöhung der Verfügbarkeit ist die Realisierung der Prozessorkopplung ein entscheidender Schritt zur Erhöhung der Leistungsfähigkeit. Man kann erwarten, daß bei Nutzung des Doppelprozessorsystems in Abhängigkeit vom verwendeten Betriebssystem und dem Jobprofil eine Verbesserung der Systemleistung um den Faktor 1,5 bis 1,6 gegenüber dem Basisprozessorsystem erreicht wird. Die Implementierung der für die Prozessorkopplung notwendigen Hardware ist bereits im Basisprozessorsystem gegeben. Eine entscheidende strukturelle Voraussetzung für das funktionelle Zusammenspiel von E/A-System, den beiden Prozessoren

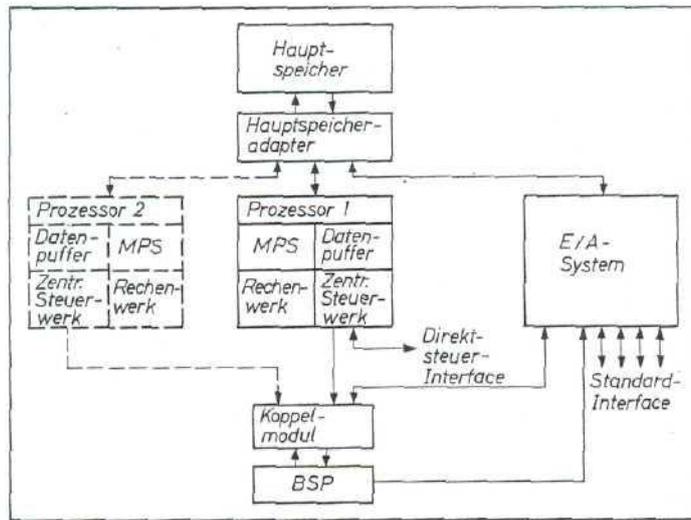


Abb. 2 Struktur-schaltbild einer Doppelprozessorkonfiguration

soren und dem Hauptspeicher ist die Modularisierung dieser Komplexe und ihre Anbindung an eine mikroprogrammgesteuerte Koppereinrichtung (Abb. 2). Seine wesentlichsten Aufgaben sind

- die Unterstützung der Kommunikation zwischen den beiden Prozessoren
- die Vermittlung von E/A-Befehlen und E/A-Unterbrechungen zwischen dem E/A-System und dem Prozessor, dem es wahlweise zugeordnet wurde (Kanalsatzzuweisung durch Konfigurierung oder Kanalsatzumschaltung)
- die Unterstützung der Maschinenfehlerbehandlung (Durchführen von Logouts, Realisieren einer selektiven Taktsteuerung)
- teilweise Ausführung bestimmter Systemsteuerbefehle
- Ausführung von Bedien- und Anzeigefunktionen, zum Teil in Zusammenarbeit mit anderen Komplexen
- Übernahme von Steuerfunktionen im Rahmen der Mikrodiagnose,
- Einstellung der vom Bedien- und Serviceprozessor gewünschten physischen Konfiguration hinsichtlich

- Einbeziehung der Prozessoren,
- Stand der Kanalsatzzuweisung,
- Größe und Betriebsweise des Hauptspeichers und
- Zu- bzw. Abschalten des Datenpuffers.

Zur Ausführung dieser Operationen enthält der Koppelmodul einen Mikroprogramm-speicher von 8 kByte, wobei die 2-Byte-breiten Mikrobefehle mehrere Befehlsformate haben können. Neben den erforderlichen Hardwareeinrichtungen zum Ausführen der Mikrobefehle (Steuerwerk, bytebreites Verarbeitungs-werk) ist ein Arbeitsspeicher mit einer Kapazität von 2 kByte vorhanden. Für den Koppelmodul werden ebenso wie für den Prozessor zwei verschiedene und alternativ zu ladende Mikroprogrammsätze bereitgestellt. Der erste Satz umfaßt den Funktionsumfang für die Systemarbeit. Der zweite Satz enthält die Abläufe zur Realisierung der Diagnose.

#### Funktionserweiterungen

Als Bezugsbasis gilt der Funktionsumfang der ZE EC 2156 /4/, dessen Realisierung die Aufwärtskompatibilität gewährleistet. Hinsichtlich der Funktionserweiterungen gegenüber der ZE EC 2156 wurden die Operationsprinzipien des ESER, Reihe 3, zugrunde gelegt. Die nachfolgend aufgeführten funktionellen Erweiterungen haben zum Ziel

- zusätzliche Befehle für den System- und Problemprogrammierer bereitzustellen
- ein Doppelprozessorsystem zu unterstützen
- die Verwaltung mehrerer Adreßräume zu effektivieren
- die Lauffähigkeit eines Betriebssystems MVS/ES, Ausgabe 2, zu gewährleisten.

Es werden 203 Befehle der Befehlsliste ESER, Reihe 3, realisiert. Für ihre umfassende Nutzung ist das Betriebssystem MVS/ES, Ausgabe 2, dessen Hauptfunktionen in /6/ beschrieben sind, erforderlich. Neu aufgenommene Befehle sind

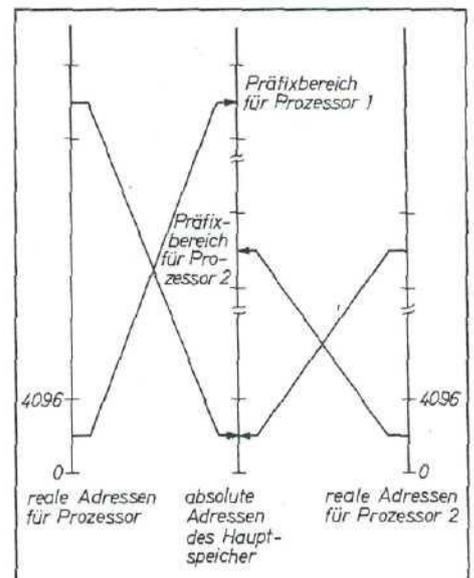


Abb. 3 Transformation und Rücktransformation des Präfixbereiches in einer Doppelprozessorkonfiguration

bei der nachfolgenden Darstellung wesentlicher Funktionserweiterungen erläutert.

### Funktionen zur Realisierung eines Doppelprozessorsystems Präfixbildung

Die beiden Prozessoren nutzen den Hauptspeicher gemeinsam, jedoch ist die getrennte Zuordnung der ersten 4 kByte des Präfixbereiches für jeden Prozessor erforderlich. Hier findet ein Prozessor die für ihn relevanten Informationen, insbesondere bei der Bearbeitung von Unterbrechungen. Deshalb besitzt jeder Prozessor ein Präfix-register, das diesen unteren 4-K-Bereich auf einen beliebigen im Hauptspeicher transformieren kann (Abb. 3). Die Befehle SPX (Setzen Präfix) und STPX (Speichern Präfix) unterstützen die Ausführung dieser Funktion.

### Adreßidentifikation des Prozessors

Jeder Prozessor wird durch seine ZVE-Adresse, die bei der Installation fest zugewiesen wird, identifiziert. Dieser Wert wird im zugehörigen Adressfeld vorgegeben, wenn der Prozessor an den anderen Prozessor eine Anforderung stellt.

Der Befehl STAP (Speichern ZVE Adresse) gibt einem Programm die Möglichkeit, diese Adresse zu bestimmen.

### Kanalsatzumschaltung

Die Kanäle des E/A-Systems werden zu einem Kanalsatz zusammengefaßt und in dieser Gesamtheit einem Prozessor zugeordnet, sie werden mit ihm verbunden, bzw. von ihm getrennt. Der Prozessor, mit dem der Kanalsatz verbunden ist, übernimmt die Aktivitäten zur Ausführung der E/A-Befehle und E/A-Unterbrechungen.

Für die Ausführung der Kanalsatzumschaltung werden die beiden Befehle CONS (Verbinden Kanalsatz) und DISCS (Trennen Kanalsatz) bereitgestellt. Damit kann ein Programm die Verbindung des Kanalsatzes zu einem Prozessor ändern.

### Prozessor-signalisierung

Die Fähigkeit der einzelnen Prozessoren, miteinander zu kommunizieren, ist durch den Befehl SIGP - Signalisieren ZVE - gegeben.

Neben einem Adressfeld für den adressierten Prozessor gehört zu diesem Befehl ein Order-Code, mit dem der sendende Prozessor die gewünschte Funktion anfordert. Tabelle 1 gibt einen Überblick über die möglichen Ordnern und ihre Wirkung in dem adressierten Prozessor. Im allgemeinsten Sinn besteht die Wirkung in der Ausführung von Funktionen, die auch der Bediener auslösen kann. Verschiedene Situationen können die Ausführung der Ordnern in dem adressier-

ten Prozessor verhindern. Für diese Fälle wird die Order abgewiesen, und je nach Art der Order wird der Bedingungscode gesetzt bzw. mit Bereitstellung von Zu-standsbedingungen geantwortet.

### Synchronisation der Tageszeituhren

Durch Hardwareeinrichtungen in Verbindung mit geeigneten Programmen wird gewährleistet, daß für jeden Prozessor der exakte Gleichlauf der Tageszeituhren gewährleistet wird.

### Erweitern der externen Unterbrechungen

Für die Ausführung der Funktionen für die Prozessorkopplung wurden die vier externen Unterbrechungen

- Externer Ruf (siehe SIGP)
- Notsignal (siehe SIGP)
- Tageszeituhr - Synchronisationsfehler (die rechten 20 Bit der Tageszeituhren laufen nicht synchron)
- Fehlfunktionsalarm - (der andere Prozessor hat Fehlerstop anmeldet) zusätzlich aufgenommen.

### Erweiterte Systemsteuerung

Nachfolgend sind wesentliche Funktionserweiterungen für die Systemsteuerung der ZE EC 2157 gegenüber der ZE EC 2156 dargestellt. Neben einer verbesserten Organisation der Arbeit mit dem Hauptspeicher - insbesondere hinsichtlich des Schutzes der Informationen - dienen diese Erweiterungen der effektiven Arbeit des Systems.

#### • Behandlung gemeinsamer Segmente

Wird ein Segment // im Adreßumsetzungspuffer als gemeinsames gekennzeichnet, kann es auch genutzt werden, wenn es zu einer anderen Segmenttabelle gehört.

#### • Schutz des unteren Adreßbereiches

Die unteren 512 Byte des Hauptspeichers, die ein Prozessor für seine Unterbrechungsbehandlung nutzt, werden ge-

gen Änderung ihres Inhalts geschützt. Die Prüfung erfolgt für die logischen Adressen, mit denen der Nutzer arbeitet, das heißt vor Adreßumsetzung und Präfixbildung.

#### • Testen von Hauptspeicherbereichen

Mit dem Befehl TB (Testen Speicherblock) werden ein adressierter 4-K-Speicherblock und der zugehörige Schutzschlüssel auf seine Gebrauchsfähigkeit hin geprüft.

#### • Segmentschutz

Für ein mit „Schutz“ gekennzeichnetes Segment wird nur das Lesen erlaubt, jedoch nicht das Verändern des Segmentinhalts.

#### • Prüfung von

#### Hauptspeicher-Schutzbedingungen

Mit dem Befehl TPROT (Testen Schutzvoraussetzungen) wird einem Programm die Möglichkeit gegeben, einen bestimmten Hauptspeicherplatz auf Schutz ausnahmen hin zu prüfen.

#### • Ungültigmachen von Seitentabellen-Eintragungen

Mit dem Befehl IPTE wird einem Prozessor die Möglichkeit gegeben, eine Seitentabelleneintragung für ungültig zu erklären.

### Doppeladreßraum (DAS)-Einrichtung

Die DAS-Einrichtung liefert einem Nutzer die Möglichkeit, sich mit seinem Programm in verschiedenen Adreßräumen zu bewegen. Sie ermöglicht eine direkte Steuerungs- und Datenübergabe zwischen diesen Adreßräumen. Sowohl gerätetechnische Vorkehrungen als auch mikroprogrammierte Abläufe sind die Voraussetzung für die Realisierung dieser Funktion, deren wesentliche Bestandteile nachfolgend überblicksmäßig dargestellt sind. Das Bit 16 des Programmzustandwortes

Order des Befehls SIGP	Wirkung im adressierten Prozessor
Abfühlen	Bereitstellung seiner Zustandsbedingungen (z. B. Stop, nicht bereit . . .)
Externer Ruf	Erzeugung der externen Unterbrechung „Externer Ruf“
Notsignal	Erzeugung der externen Unterbrechung „Notsignal“
Start	Verlassen des Stopzustands
Stop	Eintreten in den Stopzustand
Wiederanlauf	Ausführung einer Wiederanlauf-Unterbrechung
Stop- und Zustandspeichern	Erzeugung des Stop-Zustandes, Abspeichern von Prozessorzustandsinformationen
Programm-Rücksetzen	)
	)
Anfangs-Programm-rücksetzen	) Ausführung der entsprechenden Rücksetzfunktion
	)
Anfangs-ZVE-Rücksetzen	)
	)
ZVE-Rücksetzen	)

Tabelle  
Ordern des Befehls  
SIGP

steuert in Verbindung mit dem Modus für dynamische Adreßumsetzung den Adreßraum-Modus. Ist dieses Bit zugeschaltet, dann arbeitet der Prozessor im sekundären Adreßraum, dessen Segment-tabellenanfangsadresse Steuerregister 7 enthält. Jeder Adreßraum ist durch einen Identifikator (Adreßraumnummer) gekennzeichnet. In Steuerregister 3 steht dieser Wert für den primären Adreßraum, Steuerregister 4 enthält den Wert für den sekundären Adreßraum. Die zur DAS-Einrichtung gehörenden 12 Maschinenbefehle sind: LASP - Laden Adreßraumparameter SAC - Setzen Adreßraumsteuerung IAC - Einfügen Adreßraumsteuerung MVCP - Übertragung der Daten von ei-MVCS nem Adreßraum zu einem MVCK anderen unter Steuerung von zwei Zugriffsschlüsseln Zugriffsschlüsseln EPAR - Extrahieren primäre Adreßraumnummer ESAR - Extrahieren sekundäre Adreßraumnummer SSAR - Setzen sekundäre Adreßraumnummer PC - Programmruf PT - Programmtransfer IVSK - Einfügung virtueller Speicherschlüssel LASP ist ein privilegierter Befehl. Die übrigen Befehle sind halbprivilegiert. Die Ausführung der DAS-Befehle im Problemzustand wird nur einem Programm erlaubt, das dazu autorisiert ist. Mit speziellen Autorisierungsmechanismen kann eine Hierarchie von Programmen errichtet werden, die gegeneinander geschützt sind. Die Steuerung erfolgt über Tabelleneintragen, die vom Steuerprogramm verwaltet werden (Adreßraumverbindungsdienste). Des weiteren steht für Analysen durch das Programm eine TRACE-Tabelle auf einem dafür vorgesehenen Hauptspeicherplatz zur Verfügung, auf die bei Ausführung bestimmter DAS-Befehle wichtige Syteminformationen (z. B. Adreßraumnummern) eingetragen werden. In Verbindung mit der DAS-Funktion wurden neun zusätzliche Programmunterbrechungen eingeführt.

#### *Bereitstellung von Beschleunigungseinrichtungen für Betriebssysteme*

Die in der ZE EC 2156 enthaltenen Beschleunigungseinrichtungen für die Betriebssysteme SVM/ES werden in gleichem Umfang bereitgestellt, wobei ihr Funktionsumfang zur Unterstützung der Prozessorkopplung erweitert wurde. Zur Verfügung stehen damit die Beschleunigungseinrichtungen SVM - Unterstützung der Arbeit des Steuerprogramms (CP) durch Vermeidung von Unterbrechungen für häufig benutzte privilegierte Be-

fehle der virtuellen Maschine und Behandlung von bestimmten Unterbrechungen, die in der virtuellen Maschine ausgelöst werden ESVMA - Unterstützung der Arbeit

des CP durch neue Behandlung bestimmter privilegierter Befehle •

VITA - Unterstützung des virtuellen Zeitgebers

STBA - Unterstützung der Benutzung von Segment- bzw. Seitentabellen des Gastbetriebssystems durch Umgehung der Schattentabellen

CPA - Unterstützung des CP bei der Ausführung von Steuerungsaufgaben, die für alle virtuellen Maschinen erforderlich sind

SVMEFA - Unterstützung der erweiterten Systemsteuerung, wenn in einer virtuellen Maschine Befehle der Beschleunigungseinrichtung für das Betriebssystem MVS/ES auftreten.

Eine ausführliche Darstellung kann 121 entnommen werden.

Weitere Beschleunigungseinrichtungen (MVSA) in der ZE EC 2157 dienen der Unterstützung des Betriebssystems MVS/ES, Ausgabe 2. Sie beziehen sich auf häufig beanspruchte Steuerprogrammteile. Privilegierte Zusatzbefehle mit dem Hauptcode E5 und speziellen Unterodes realisieren diese Funktion.

#### Technisch-technologische Basis

Der den Standards des ESER gerecht werdende Schrankaufbau zeichnet sich mittels einer funktionsgerechten und servicefreundlichen Gestaltung aus. Die ZE EC 2157 benötigt zwei Schränke. Schrank 1 enthält den vollen Logikumfang für ein Basisprozessor-System. Im Schrank 2 sind die Stromversorgung und der zweite Prozessor für das Doppelprozessorsystem untergebracht. Wie seine Vorgängermodelle enthält ein Schrank drei Rahmen, deren Paneele die Steckeinheiten aufnehmen. Grundlage für die logischen Schaltungen bilden Schaltkreise

- der Standard-TTL,
- der Hochgeschwindigkeits-TTL,
- der Schottky-TTL sowie
- bipolare RAM- und PROM-Schaltkreise und
- unipolare RAM-Schaltkreise.

Dieses Sortiment wird durch erforderliche Sonderbaustufen ergänzt, die mit diskreten Bauelementen und teilweise mit integrierten Schaltkreisen realisiert sind.

#### **Ausrüstungsvarianten**

Die ZE EC 2157 ist in Ausrüstungsvarianten lieferbar. Ein Basisprozessorsy-

stem wird mit einer Hauptspeicherkapazität von 4,8 oder 16 MByte bereitgestellt.

Doppelprozessorsysteme werden mit 8 oder 16 MByte ausgerüstet. Das E/A-System besteht stets aus 5 Kanälen und der wahlweisen Ausrüstung mit einem Kanal-Kanal-Adapter.

Nachrüstungen zur Vergrößerung des Hauptspeichers, zum Übergang auf eine Doppelprozessorkonfiguration oder Ausrüstung mit einem Kanal-Kanal-Adapter sind möglich.

#### **Bedien- und Serviceprozessor (BSP) 1557**

##### *Funktionsumfang*

Der Bedien- und Serviceprozessor BSP EC 1557 wurde auf der Grundlage des BSP EC 7069.M /3,5/ weiterentwickelt und den Forderungen der ZE angepaßt. So kann eine weitgehende Unterstützung beim Service, der Diagnose und dem Betreiben des Systems gegeben werden. Realisiert werden

- die Systembedienung (Kommunikation Operator-Betriebssystem)
- die Wartungsbedienung (Kommunikation Wartungstechniker-Maschine)
- die Initialisierung der ZE (Überwachung des Netz-Einschaltens, Laden von Mikroprogrammen)

Wie gewohnt, kann der BSP an einen Kanal der ZE (SIF ESER) angeschlossen werden. Er arbeitet als Ein- und Ausgabegerät im

- Schreibmaschinen-Operationsmodus (SM),

- Bildschirm-Operationsmodus (DM),
- ungepuffertem Drucker-Operationsmodus.

Er kann als Drei-Geräte-Gerätesteuerereinheit (GSE) eingesetzt werden, wobei

- der linke und/oder rechte Bildschirm (24 Zeilen zu je 80 Zeichen und 1 Statusanzeige) jeweils im SM oder DM
- der Drucker im Modus ungepuffertem Drucker als drittes Gerät oder im SM dem rechten oder linken Bildschirm zu geordnet arbeiten können.

Zur Wartungs-Bedienung, Initialisierung und Systembedienung wird der BSP über das Spezial-Interface (SPIF) mit der ZE verbunden. Entsprechend den verbesserten Diagnose- und Testeigenschaften der ZE wird der BSP verstärkt bei der ZE-Diagnose und Fehlersuche eingesetzt, indem er größere Datenmengen zur Verfügung stellt und diagnostische Abläufe in der ZE initiiert und kontrolliert. Zur Speicherung der Datenmengen im BSP kommen Disketten zum Einsatz. Pro Diskette kann mit einer Kapazität von bis zu 592 kByte gerechnet werden.

Nachfolgend sind die Baugruppen aufgeführt, die gegenüber dem Vorgängermodell modernisiert oder neu entwickelt wurden. Dabei mußte auch die vorhan-

dene BSP-Software modernisiert werden, um den neuen Anforderungen gerecht werden zu können.

### *Spezial-Interface (SPIF)*

Das neue SPIF nutzt alle 19 zur Verfügung stehenden Leitungen eines Interface-Kanals, wovon 9 Leitungen für den Datenaustausch (8 Daten-Leitungen, 1 Prüfbit-Leitung) bidirektional genutzt werden. Weitere 4 Leitungen (Verbunden, ZE-Anforderung, Fehler, Taktstop) führen Signale von der ZE zum BSP, während 6 Leitungen vom BSP zur ZE Informationen übertragen. Die über das SPIF ablaufenden Funktionen können in folgende zwei Gruppen eingeteilt werden:

- mikroprogrammierte Zusammenarbeit und
  - harte Steuerfunktionen.
- Durch die Realisierung eines asynchronen Signalaustauschs ist die Voraussetzung gegeben, daß bei Diagnose und Fehlersuche eines der beiden Geräte auch verlangsamt arbeiten kann.

### *Disketten-Laufwerke*

Zur Speicherung der umfangreichen Datenmengen kommen 8-Zoll-Disketten für doppelte Aufzeichnungsdichte (double density) zur Anwendung. Zur Grundausrüstung gehören drei Disketten-Laufwerke, die im Normalfall wie folgt belegt sind:

- Laufwerk 1 - BSP-Programmdiskette
- Laufwerk 2 - ZE-Programm-Diskette mit ZE-Programm-Bibliothek
- Laufwerk 3 - Diagnose-Diskette für ZE
- Laufwerk 4 - kann auf Wunsch nachgerüstet werden.

### *Drucker*

Als Drucker kommt ein serieller Matrixdrucker mit Nadeldrucksystem zum Einsatz. Die Druckgeschwindigkeit beträgt 100 Zeichen/s.

### *Stromversorgung*

Die Ein- und Ausschaltung der gesamten Anlage über das Systemsteuer-Interface und das Stromversorgungs-Interface wurden neu konzipiert. Durch den Einsatz eines Kontroll- und Steuerrechners wird die ordnungsgemäße Zu- und Abschaltung des Systems gewährleistet.

### *Diagnosesystem*

#### *Zielstellungen, Bestandteile und Aufbau*

Das Diagnosesystem des Modells EC 1057 stellt gegenüber seinen Vorgängermodellen eine wesentliche Weiterentwicklung dar. Es basiert auf neuen gerätetechnischen und verfahrenstechnischen Lösungen, mit denen eine deutliche Verbesserung der Wartungseigenschaften erreicht wird. Hervorzuheben sind hierbei insbesondere:

- konsequent realisierte aufbauende

Prüfstrategie (Bootstrap-Prinzip) und damit verringerte Komplexität der Fehlersuche

- stark reduzierte Prüfdauer bei gleichzeitiger Erhöhung des Testdatendurchsatzes

- integrierte, BSP-gestützte Fehlerlokalisierungsstrategie mit automatisierter Fehlerhypothesenbildung
- vereinfachte, systematische Bedienung im Wartungsfall.

Die erreichten Effekte bestehen in

- verbesserter Übergabequalität des Systems durch intensive Vorprüfung
- erhöhter Systemverfügbarkeit während der Anwendung durch verkürzte Prüf- und Ausfallzeiten
- Senkung der Wartungskosten vor allem durch reduziertes Schulungs- und Qualifikationsniveau.

Die wesentlichen Bestandteile des Diagnosesystems sind:

- Wartungssystem des BSP EC 1557,
- Mikrodiagnosesystem EC 2157,
- Programmkomplex zur technischen Wartung (KPTO),
- schaltungs- und mikroprogrammtechnische Mittel zur Überwachung der Systemarbeit im normalen Nutzerbetrieb,
- programmtechnische Mittel zur Fehlerverwaltung und
- Fernbedienungsfunktion.

Sie bilden eine Hierarchie von Mitteln, die eine aufbauende Überwachung und Wartung des gesamten Einsatzfalles sichert. Ausgangspunkt ist das BSP-Wartungssystem. Es schafft die Funktionsfähigkeit des Bedien- und Serviceprozessors als Voraussetzung leistungsfähiger Unterstützungen (Help-Bilder, Diskettendateien, spezielle Algorithmen). Daran schließt sich das Mikrodiagnosesystem als Kernstück der Wartung der ZE EC 2157 für die typischen Ausfälle des normalen Einsatzfalles an. Für den Fehlerfall existiert eine angepaßte, BSP-gestützte Fehlerortungsstrategie, die es gestattet, typische Defekte in systematischer Weise auf austauschbare bzw. reparierbare Einheiten zu lokalisieren. Der Nutzerbetrieb wird durch schaltungs- und mikroprogrammtechnische Mittel überwacht, die schwerwiegende Fehlfunktionen signalisieren und geeignete Maßnahmen des Betriebssystems einleiten. Weiterhin stehen mit den on-line-Test-(OLT)Sektionen und dem Systemtestprogramm komplexe Prüfverfahren zur Verfügung, die im Systemverband arbeiten und das Zusammenspiel aller Komponenten sichern. Speziell dafür wird eine Fernbedienung bereitgestellt, mit der die Wartung des Modells EC 1057 unterstützt werden kann. Sie bildet die Grundlage für den weiteren Ausbau zu Fern-diagnosemöglichkeiten.

#### *Wartungssystem des BSP EC 1557*

Das Wartungssystem des BSP ist ein eigenständiger Komplex geeigneter Mittel zur Selbstdiagnose des BSP. Es hat die

Aufgabe, die Funktionsfähigkeit des BSP als Voraussetzung aller weiteren Diagnosemaßnahmen zu schaffen. Es besteht aus einer Reihe hardwaretechnischer Vorkehrungen und Mittel sowie umfangreicher Programmmittel zur Prüfung und Lokalisierung. Weiterhin dienen zweckmäßige Anzeigemittel einer guten Bedienungsführung. Die Verifikation der BSP-Funktion erfolgt wie üblich nach einem aufbauenden Prinzip (Bootstrap-Strategie). Ausgehend von ROM-residenten Tests, die die Speicherfähigkeit und elementare Funktionen der BSP-Baugruppen prüfen, werden eine Reihe von transienten Tests abgearbeitet, die schrittweise die Funktionsfähigkeit nachweisen. Am Ende bzw. auch zur schnellen routinemäßigen Durchprüfung werden Komplextests abgearbeitet. Im Fehlerfall stehen spezielle Fehlerortungsprogramme zur Verfügung, die teilweise unter Verwendung geeigneter Hardwaremittel (Diagnoseadapter, Oszillograph u. a.) die Lokalisierung der Fehlerursache unterstützen.

#### *Mikrodiagnosesystem der ZE EC 2157*

Das Mikrodiagnosesystem stellt das Hauptmittel zum Nachweis der Fehlerfreiheit der Hardware der ZE EC 2157 bzw. zur Suche und Beseitigung permanenter (statischer oder dynamischer) Ausfälle dar. In ihm sind die Fähigkeiten des Mikrotests und der DMES-Sektionen der Vorgängerentwicklungen enthalten und weiterentwickelt. Es wird seinerseits durch eine dreistufige Hierarchie gebildet, die sich ausgehend vom BSP - immer weiter in die Zentraleinheit verlagert. Die zentrale Steuerfunktion übernimmt der sogenannte Mikrodiagnosemonitor. Er ist im BSP stationiert und hat als Hauptaufgaben:

- Kommunikation mit dem Wartungstechniker über ein spezielles Bedienbild
- Auswahl und Start der jeweiligen Funktionsgruppentests gemäß Bootstrapstrategie bzw. gemäß der eingegebenen Kommandos
- Lesen bzw. Schreiben der benötigten Diskettendateien
- Einleitung, teilweise Durchführung der vorgesehenen Abläufe zur Unterstützung der Fehlersuche.

In der Reihenfolge der eigentlichen Tests steht als erster der Hardcoretest. Seine Aufgabe ist die Prüfung der Verbindungen zwischen ZE und BSP (Anzeigemittel, Spezialinterface-SPIF) sowie primärer Steuerfunktionen (Taktsteuerung, Laden der Mikroprogrammspeicher, Mikroprogrammsteuerung). Hierbei wird auch bei den nachfolgenden Tests wird ganz wesentlich von der Ladbarkeit der ZE-Mikroprogrammspeicher Gebrauch gemacht. Alternativ zum Inhalt der Mikroprogrammspeicher für die Realisierung der Normalfunktion (Funktions-Release) sind während des Mikrodiagnosezustandes spezielle Mikroprogramme geladen

/Diagnose-Release), die der gezielten Prüfung der Hardware einschließlich der dazugehörigen Organisation dienen. Nachdem der Hardcoretest die Funktionsfähigkeit der Kommunikation zwischen BSP und ZE sowie der primären Steuerfunktionen der ZE abgeprüft hat, wird das Diagnose-Release der ZE aktiviert und die weitere Steuerung dem sogenannten Beispielmonitor übergeben. Dieser ist im Koppelmodul stationiert und koordiniert die folgenden Tests. Seine Aufgaben sind:

Kommunikation mit dem Mikrodiagnosemonitor im BSP,

- Entgegennahme von Steuerinformationen, Testdaten und Sollresultaten,
- Start konkreter Testabläufe in beiden Prozessoren,
- Generieren und Bereitstellen von Testoperanden und
- Bewertung der Testergebnisse.

Die Arbeit des Beispielmonitors wird durch die Übergabe eines sogenannten Beispielsteuervektors bestimmt, in dem folgende Angaben enthalten sind.

- Identifikation des abzuarbeitenden Tests
- Länge der Testoperanden bzw. -resultate
- Charakteristik der zu verwendenden Testoperanden
- Spezifikationen bestimmter Nebenbedingungen.

Hervorzuheben ist, daß der Beispielmonitor neben der Bereitstellung speziell vorgegebener Testdaten die Fähigkeit besitzt, Testdaten in geeigneter Weise zu generieren. Dadurch kann der Speicheraufwand und die Übertragungszeit auf bzw. von Diskette trotz ausschöpfender Tests reduziert werden. Die Generierregeln erzeugen zum einen reguläre Testmuster, die insbesondere zur Prüfung von Speicher-, Register- und Übertragungsstrukturen geeignet sind, zum anderen sogenannte irreguläre Testmuster. Diese stellen Pseudozufallsvektoren dar, die zur erschöpfenden Prüfung komplizierter Strukturen verwendet werden. Die eigentlichen Tests werden durch spezielle Mikroprogramme realisiert, die als Rahmentests (RTMP) bezeichnet werden. Sie zeichnen sich dadurch aus, daß sie die Arbeit bestimmter Funktionskomplexe steuern bzw. auslösen, wobei die konkreten Funktionen durch die verarbeiteten Testoperanden spezifiziert werden. Im Ergebnis eines solchen Tests wird das Istresultat an den Koppelmodul zurückgegeben und mit den Sollresultaten verglichen. Erwähnenswert ist, daß viele Rahmentests als sogenannte Reflexionstests arbeiten. Diese geben nach komplizierten Verknüpfungen die empfangenen Operanden als identische Resultate zurück.

Dadurch kann der Speicher- und Übertragungsaufwand ein weiteres Mal reduziert werden, da die Operanden als Sollresultat verwendet werden können.

Mit der geschilderten Testorganisation wird eine Prüfschärfe von über 95 Prozent erreicht, die allein mit firmwaretechnischen Mitteln weiter verbessert werden kann.

Zur Unterstützung der Lokalisierung reproduzierbarer statischer und dynamischer Fehler wurde eine neuartige Fehler-suchstrategie entwickelt. Sie ist BSP-gestützt und führt den Wartungsingenieur in vier Schritten systematisch an das fehlerhafte Element heran. Diese Schritte haben die Vorgehensweise versierter Techniker zum Vorbild und lassen sich kurz folgendermaßen charakterisieren:

- *Lokalisierung des fehlerhaften Ablaufschrittes:* Der Test mit Differenzen im Istresultat wird mit Hilfe von Sollsignalen auf erstmalige Abweichungen im Ablauf durchmustert.

- *Lokalisierung defektverdächtiger Anzeige-signale:* Mit Hilfe einer Sollwertsimulation in der Umgebung des fehlerhaften Ablaufschrittes werden auf Defekte verweisende Konflikte in der Wertebelegung anzeigbarer Signale ermittelt.

- *Fehlerhypothesenbildung:* Ausgehend von konfliktbehafteten Signalwerten realisiert ein spezielles Verfahren eine rückwärtige Fehlerpfadverfolgung, die eine Menge gültiger Fehlerhypothesen liefert.

- *Lokalisierung fehlerhafter Baugruppen:* Aus der Menge der Fehlerhypothesen kann entweder direkt eine fehlerhafte Baugruppe abgeleitet werden, oder es ergeben sich konkrete Hinweise zur weiteren Fehlereingrenzung durch gezieltes Nachmessen.

#### *Programmtechnische Diagnosemittel*

Zur Überprüfung der komplexen Zusammenarbeit im Systemverband mit Schwerpunkt der Peripheriearbeit stehen das Systemtestprogramm (SYP/ES) und eine Reihe von teils neu-, teils weiterentwickelten on-line-Gerätetests zur Verfügung. Für SYP/ES und das Steuerprogramm OLTSEP wird eine Fernbedienungsunterstützung bereitgestellt, die als Basis weiterer Ferndiagnoselösungen dient. Die normale Nutzerarbeit wird durch die Betriebssystemkomponenten der Fehlerverwaltung überwacht (MCH, CCH, Gerätefehlerbehandlung des E/A-Supervisors). Den Ausgangspunkt bilden schaltungstechnische (ECC, Paritätskontrollen u. a.) und mikroprogrammtechnische (in-line-Tests) Kontrollen der Systemarbeit.

#### Literatur

- IVW.Lampenscherf: Die Zentraleinheit EC 2655. rd beihft 2/1979, S. 9
- 12/ W. Lampenscherf, D. Linzmann, H. Otto: Zentraleinheit EC 2655M. rd 18 (1981) 2, S.2
- /3/ H. Voigtländer: Bedien- und Serviceprozessor EC 7069M. rd18 (1981)2, S.7
- /4/C. Weber, W.Lampenscherf, K.-H. Homilius: Das Modell 1056 rd21 (1984) 8, S.5
- /37 R. Marschner, Bedien- und Serviceprozessor EC7069M. rd21 (1984) 8, S.8
- /6/ B.Wetzel: MVS/ES, Ausgabe 2 - ein Betriebssystem mit mehreren virtuellen Adrebräumen für Modelle des ESER, Reihe 3. in diesem Heft